

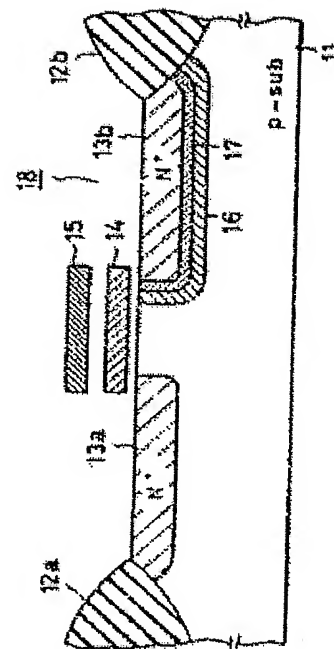
NONVOLATILE MEMORY CELL

Patent number: JP62071277
Publication date: 1987-04-01
Inventor: SAITO SHINJI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: H01L21/8247; H01L29/78; H01L29/788; H01L29/792; H01L21/70;
H01L29/66; (IPC1-7): H01L29/78
- european:
Application number: JP19850211404 19850925
Priority number(s): JP19850211404 19850925

Report a data error here

Abstract of JP62071277

PURPOSE: To accelerate not only writing speed but reading speed by forming an N-type impurity region of specific density in a boundary between an N<+> type impurity region and a P<+> type impurity region as a drain region. **CONSTITUTION:** An N<-> type impurity region 17 of lower density than a region 13b is formed on the periphery of an N<+> type impurity region 13b as a drain region, and a P<+> type impurity region 16 of density lower than the region 17 and higher than a silicon substrate 11 is formed on the periphery of the region 17. Thus, if impurity profiles are so designed that a depletion layer between the N<-> type impurity region 17 and the P<+> type impurity region 16 does not arrive at the region 13b at reading time and the depletion layer arrives at the region 13b at writing time, high speed reading and writing can be simultaneously efficiently performed.



Family list

1 family member for: **JP62071277**

Derived from 1 application

1 NONVOLATILE MEMORY CELL

Inventor: SAITO SHINJI

Applicant: TOKYO SHIBAURA ELECTRIC CO

EC:

IPC: *H01L21/8247; H01L29/78; H01L29/788*
(+4)

Publication info: **JP62071277 A** - 1987-04-01

Data supplied from the *esp@cenet* database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-71277

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)4月1日

H 01 L 29/78

7514-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 不揮発性メモリセル

⑰ 特 願 昭60-211404

⑱ 出 願 昭60(1985)9月25日

⑲ 発 明 者 齊 藤 伸 二 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

不揮発性メモリセル

2. 特許請求の範囲

(1) 第1導電型の半導体基板上に形成されメモリセルを構成するトランジスタのドレイン部として、前記半導体基板より高濃度の第1導電型不純物領域と、この第1導電型不純物領域より接合深さが浅く前記第1導電型不純物領域より高濃度の第1の第2導電型不純物領域と、この第1の第2導電型不純物領域より接合深さが浅く且つこの第1の第2導電型不純物領域より高濃度の第2の第2導電型不純物領域とを設けたことを特徴とする不揮発性メモリセル。

(2) 前記第1導電型不純物領域は、前記トランジスタのドレイン側のチャネル部近傍のみに形成することを特徴とする特許請求の範囲第1項記載の不揮発性メモリセル。

(3) 前記第1導電型不純物領域は、前記トランジスタのドレイン側のチャネル部近傍およ

びソース側に形成することを特徴とする特許請求の範囲第1項記載の不揮発性メモリセル。

(4) 前記第1の第2導電型不純物領域の不純物濃度は、前記第1導電型不純物領域とこの第2の第1導電型不純物領域との間の空乏層が通常の読み出し時に前記第2の第2導電型不純物領域に到達せず、書き込み時には到達するように設定されて成ることを特徴とする特許請求の範囲第1項ないし第3項いずれか1つの項に記載の不揮発性メモリセル。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、不揮発性メモリセルに関するもので、特に EPROM (Erasable Programmable Read Only Memory) に使用されるものである。

〔発明の技術的背景とその問題点〕

近年、不揮発性メモリにおいては、記憶容量が大容量になるのに伴って、データの書き込み時間が長くなっている。ちなみに、1984年および1985年の ISSCC では、1 Mビットの

EPROMの発表がなされている。このような記憶容量の大容量化に対して、高速プログラムと呼ばれる手法が用いられる。この手法は、第5図のフローチャートに示すように、高速に書き込めるメモリセルは速く、低速にしか書き込めないメモリセルは書き込み回数を増やして書き込むものである。すなわち、ステップ1でアドレスの初期化を行ない、ステップ2でXを1に設定する。そして、次のステップ3で最初のアドレスに1 msecの時間プログラムを行なう。次のステップ4では、上記ステップ3で書き込んだデータを読み出してデータが正常に書き込まれたか否かを判定する。この結果、正常に書き込みが行なわれたと判定された時は、ステップ5で追加の書き込み(1 msec×4)を行ない、エンドアドレスになるまで(ステップ6)、アドレスを順次変化(ステップ7)してステップ2からステップ5の動作を繰り返す。一方、上記ステップ4で十分な書き込みが行なわれなかったと判定された時には、ステップ8でXに1が加え

られ、上記ステップ3に戻って再書き込みを行なう。そして、ステップ4で再び正常に書き込まれたか否かを判定する。まだ書き込みが充分でないと判定された時には、書き込みが充分となるまで上述した動作が繰り返される。但し、Xが15になった場合(ステップ9)には、書き込みを行なっているメモリセルが不良と判定する。このようなプログラムを用いることにより、1 Mビットでは最低約10分(128Kバイト×5 msec)で書き込みが行なえる。

この書き込み時間をさらに短くするために、メモリセルにDSA(Diffused Self Aligned)構造を用いて、各メモリセルの書き込み時間を短くしようという提案がされている(1984年ISSCC Digest of Technical Paper)。この提案は、第6図に示すように、EPROMメモリセルのドレイン領域13bの周囲に、P⁺型の不純物領域16を形成し、ドレイン近傍のチャネル領域の電界強度を高め、これによってゲート注入電流を大きくしようとするものである。第6図

において、11はP型のシリコン基板、12a、12bは分離酸化膜、13aはソース領域(N⁺型不純物領域)、13bはドレイン領域(N⁺型不純物領域)、14は浮遊ゲート、15は制御ゲートである。

今、上記P⁺型不純物領域16の不純物濃度が基板濃度の4倍であるとし、P⁺型不純物領域16とドレイン領域としてのN⁺型不純物領域13bとの間の空乏層の伸びをW₁とする。また、P⁺型不純物領域16を設けない場合のN⁺型不純物領域13bと半導体基板11との間の空乏層の伸びをW₀とすると、その比は簡単な矩形接合近似でW₁=W₀/2となる。これは、空乏層の幅が不純物濃度の平方根に反比例することによる。従って、P⁺型不純物領域16を設けた場合の電界をE₁、設けない場合の電界をE₀とすると、E₁=2E₀と変わせる。ゲート注入電流は電界の指数関数として変えられるので、上式(E₁=2E₀)より、ゲート注入電流量は約7倍増加することになる。これによって、メモリセルのプログラ

ム時間を大幅に短縮することができる。

なお、ソース領域としてのN⁺型不純物領域13aの周囲にもP⁺型不純物領域を設けても同様な効果が得られる。

しかし、上記のようなDSA構造を用いたメモリセルでは、ドレイン領域13bの周囲に設けたP⁺型不純物領域16の不純物濃度が高いため、寄生容量が増大してアクセス速度の低下を招く欠点がある。例えば、空乏層の幅が半分となるとその容量は2倍となるので、ドレイン領域13bに接続されるビット線容量も2倍となり、ビット線まわりの動作遅延が増える。このように、上記第6図のような構成のメモリセルでは、書き込み時間を短縮できる反面、読み出し速度が遅くなる欠点がある。

〔発明の目的〕

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、書き込み速度だけでなく読み出し速度の高速化をも図れるすぐれた不揮発性メモリセルを提供すること

である。

〔発明の概要〕

すなわち、この発明においては、上記の目的を達成するために、前記第6図におけるドレイン領域としての N^+ 型不純物領域13bと P^+ 型不純物領域16との界面に、 N^+ 型不純物領域13bより不純物濃度が低く、且つ P^+ 型不純物領域16よりも不純物濃度が高い N 型不純物領域を設けたものである。

〔発明の実施例〕

以下、この発明の一実施例について図面を参照して説明する。第1図において、前記第6図と同一部分には同じ符号を付す。 P 型のシリコン基板11には分離酸化膜12a、12bが形成されて素子領域が規定される。この素子領域には、ソース、ドレイン領域としての N^+ 型不純物領域13a、13bが所定間隔に離間して形成される。これら不純物領域13a、13b間の上記シリコン基板11上には、絶縁膜を介して浮遊ゲート14が形成され、この浮遊ゲート

14上には絶縁膜を介して制御ゲート15が形成される。上記ドレイン領域としての N^+ 型不純物領域13bの周囲には、この領域13bより低濃度の N^- 型不純物領域17が形成される。上記 N^- 型不純物領域17の周囲には、この領域17より不純物濃度が低く且つシリコン基板11より高濃度の P^+ 型不純物領域16が形成されて成る。

上記のような構成において、ドレイン部18の濃度プロファイルは、第2図に示すようになっており、通常の読み出し時にはドレインに約1.0~1.5Vの電圧しか加わらないため、 N^- 型不純物領域17と P^+ 型不純物領域16との接合部の空乏層はかなり伸びている。これを具体的に示すと空乏層の伸び W_R' は次式(1)に示すようになる。ここでは、 N^- 型不純物領域17の濃度を $N(N^-)$ 、 P^+ 型不純物領域16の濃度を $N(P^+)$ 、 N^+ 型不純物領域13bの濃度を $N(N^+)$ とし、説明を簡単にするためにステップ接合近似を用いている。

$$W_R' = \sqrt{\frac{2\epsilon_{si}(V_{bi} + V_g)}{q} \cdot \frac{N(N^-) + N(P^+)}{N(N^-) \cdot N(P^+)}} \quad \dots (1)$$

なお、 ϵ_{si} はシリコンの誘電率、 q は電子の電荷、 V_{bi} はビルトイン電圧、 V_g は接合にかかる電圧である。

一方、前記第6図の構成における空乏層の伸び W_R は、

$$W_R = \sqrt{\frac{2\epsilon_{si}(V_{bi} + V_g)}{q} \cdot \frac{N(N^+) + N(P^+)}{N(N^+) \cdot N(P^+)}} \quad \dots (2)$$

となる。

ここで、代表的な不純物濃度を例に取り、 $N(N^+) = 2 \times 10^{20} \text{ cm}^{-3}$ 、 $N(N^-) = 4 \times 10^{18} \text{ cm}^{-3}$ 、 $N(P^+) = 1 \times 10^{18} \text{ cm}^{-3}$ とすると、前式(1)、(2)はそれぞれ次式(3)、(4)に示すようになる。

$$W_R' = \sqrt{\frac{2\epsilon_{si}(V_{bi} + V_g)}{q} \cdot \frac{1}{0.8 \times 10^{18}}} \quad \dots (3)$$

$$W_R \approx \sqrt{\frac{2\epsilon_{si}(V_{bi} + V_g)}{q} \cdot \frac{1}{1 \times 10^{18}}} \quad \dots (4)$$

従って、空乏層の伸びの比 W_R/W_R' は0.89となり、空乏層の幅は前記第6図の構成に比べて1/0.89倍となる。つまり容量は0.89倍(11%の容量減少)となり、ビット線容量を低減できるので読み出し速度の高速化が図れる。

一方、書き込みに関しては、ドレインに高い電圧を印加してプログラムするので、空乏層が十分に伸び(第2図中 W_R') N^+ 型不純物領域13bに達する。このため N^- 型不純物領域17による電界の低下は少なく、充分高速にプログラムされ得る。

このように読み出し時には N^- 型不純物領域17と P^+ 型不純物領域16との間の空乏層が N^+ 型不純物層に達しないように、書き込み時には空乏層が N^+ 型不純物領域13bに達するように各不純物プロファイルを設計すれば、高速読み出しおよび高速書き込みが同時に効率良く達成できる。さらに、ドレイン部18に N^- 型不純物領域17が形成されているためゲート長が短かく、またゲート酸化膜厚が薄くなるに従って増

大する読み出し時のゲート電流によって発生するソフト的書き込み (Soft Writing) にも強くなっている。これは、一般的に良く知られている LDD (Lightly Doped Drain) 構造と同様な構造である理由による。

第3図はこの発明の他の実施例を示している。第3図において、前記第1図と同一構成部には同じ符号を付してその詳細な説明は省略する。すなわち、前記第1図ではP⁺型不純物領域16を、ドレイン領域13bおよびN⁻型不純物領域17を被りように形成しているのに対し、チャネル領域側の一部の領域のみに形成している。

上記のような構成において、P⁺型不純物領域16とこの領域16がない部分のドレインの長さをそれぞれ ℓ_1 、 ℓ_2 とし、 $\ell_1:\ell_2=1:2$ 、シリコン基板11の不純物濃度を $1 \times 10^{16} \text{ cm}^{-3}$ とすると、領域 ℓ_1 における空乏層の伸び $W_E(\ell_1)^n$ は

$$W_E(\ell_1)^n = \sqrt{\frac{2 \epsilon_{si} (V_{bi} + V_g)}{q}} \cdot \frac{1}{0.8 \times 10^{16}} \quad \dots (5)$$

制御ゲート15および浮遊ゲート14をマスクとしてP⁺型不純物領域16a、16bを形成すれば、マスク合わせが比較的低い精度で済む。
〔発明の効果〕

以上説明したようにこの発明によれば、書き込み速度だけでなく読み出し速度の高速化も図れるすぐれた不揮発性メモリセルが得られる。

4. 図面の簡単な説明

第1図はこの発明の一実施例に係わる不揮発性メモリセルの断面構成図、第2図は上記第1図における濃度プロファイルを示す図、第3図および第4図はそれぞれこの発明の他の実施例について説明するための断面構成図、第5図は高速プログラムについて説明するためのフローチャート、第6図は従来の不揮発性メモリセルの断面構成図である。

11…半導体基板、12a、12b…分離酸化膜、13a、13b…N⁺型不純物領域、14…浮遊ゲート、15…制御ゲート、16…P型不純物領域、17…N⁻型不純物領域、18…P

となる。また、領域 ℓ_2 における空乏層の伸び $W_E(\ell_2)^n$ は、

$$W_E(\ell_2)^n = \sqrt{\frac{2 \epsilon_{si} (V_{bi} + V_g)}{q}} \cdot \frac{1}{1 \times 10^{16}} \quad \dots (6)$$

となる。従って、容量比は、

$$\frac{1/W_E(\ell_1)^n \times 1/3 + 1/W_E(\ell_2)^n \times 2/3}{1/W_E}$$

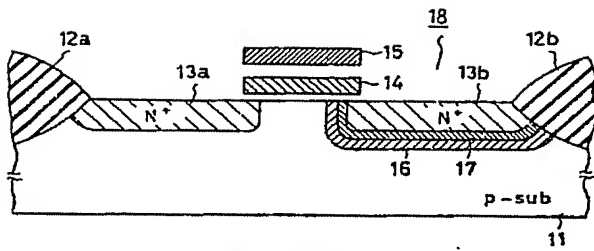
$$\approx 0.36$$

であり、前記第6図の構成に比べ0.36倍、つまり64%の容量減少となり、前記第1図の構成より容量を減少でき、読み出し速度を更に高速化できる。

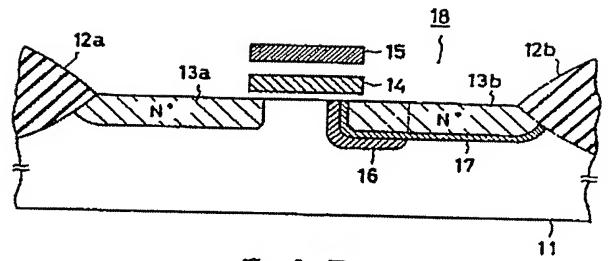
なお、上記各実施例ではN⁻型不純物領域17およびP⁺型不純物領域16をドレイン部18のみに設けたが、第4図に示すようにソース部19にも設けても同様な動作を行ない同じ効果が得られる。このような構成では、前記第3図におけるP⁺型不純物領域16の形成には高精度を要した(パターン幅が狭いため)のに対し、

ドレイン部。

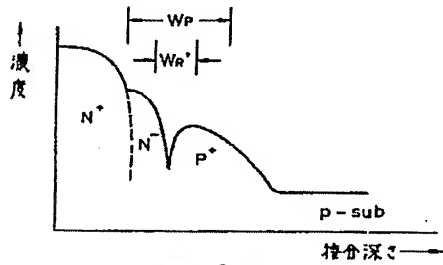
出願人代理人 弁理士 鈴 江 武 彦



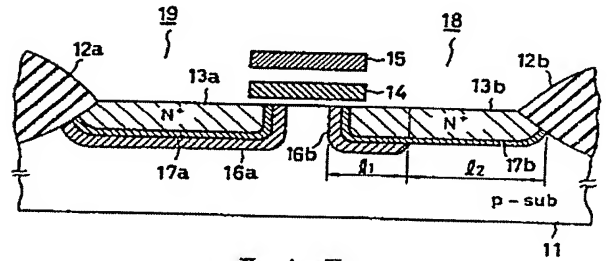
第 1 図



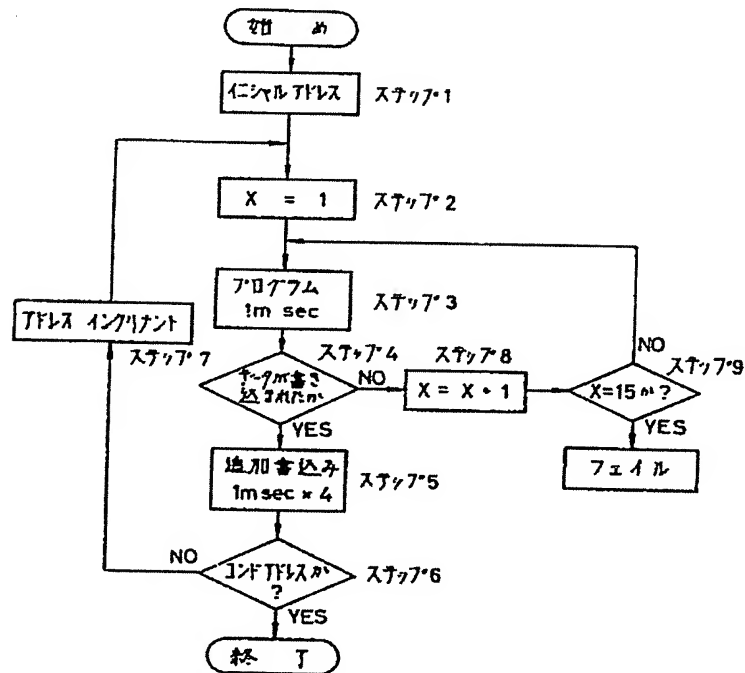
第 3 図



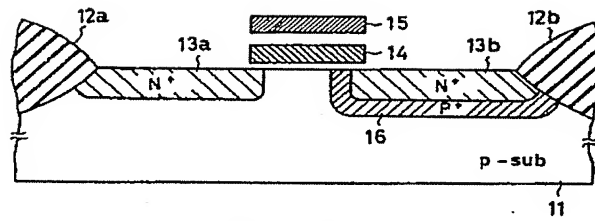
第 2 図



第 4 図



第 5 図



第 6 図